

PAT-NO: JP361047659A

DOCUMENT-IDENTIFIER: JP 61047659 A

TITLE: LSI MULTICHIP MOUNTING STRUCTURE

PUBN-DATE: March 8, 1986

INVENTOR-INFORMATION:

NAME

SOGA, TASAO

KURIHARA, YASUTOSHI

YATSUNO, KOMEI

MIYATA, KENJI

OKAMURA, MASAHIRO

INT-CL (IPC): H01L023/52, H01L023/34

US-CL-CURRENT: 257/700, 257/778 , 257/E23.067 , 257/E23.189

ABSTRACT:

PURPOSE: To realize small size cubic mounting structure and high speed arithmetic operation by providing an output pin to the side where LSI chip is mounted in the periphery of multilayered plate.

CONSTITUTION: An Si chip 2 is mounted on a composite substrate obtained by laminating SiC plate 11 on to an organic multilayered wiring plate 9 having a low dielectric coefficient. For example, an input/output pin 27 is soldered to the SiC plate 26 using Sn-18% Bi 45% Pb solder after providing a through hole 32 and a land 28 to SiC plate 2. The terminals of chip 2 within the housing are connected through the through hole conductor 41 and internal wiring 40 and are also connected to the external input/output pin 27. The input/output pin is connected to the modules of upper and lower stages. A small size and multistage multichip module can be configurated by extracting upward the pin using the space at the side wall of housing. Accordingly, a high capacity and high speed ultra-large scale computer can be realized with small size structure.

COPYRIGHT: (C)1986,JPO&Japio

⑫ 公開特許公報 (A) 昭61-47659

⑬ Int.Cl.
H 01 L 23/52
23/34

識別記号

厅内整理番号

6428-5F
6616-5F

⑭ 公開 昭和61年(1986)3月8日

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 LSI マルチチップ実装構造

⑯ 特願 昭59-169352

⑰ 出願 昭59(1984)8月15日

⑱ 発明者 曽我 太佐男 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

⑲ 発明者 栗原 保敏 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

⑳ 発明者 八野 耕明 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

㉑ 発明者 宮田 健治 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

㉒ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代理人 弁理士 高橋 明夫 外2名

最終頁に続く

明細書

発明の名称 LSI マルチチップ実装構造

特許請求の範囲

1. はんだ電極端子を有し、多数個の素子領域が形成されてなる多数個の半導体チップを多層配線基板上にはんだ接合したマルチチップモジュールにおいて、

多層配線基板上のチップが搭載された側とは反対側の面及びチップを接着したハウジングの裏側面が液冷されるよう、多層配線基板、ヒートシンクを多段積層したことを特徴とする LSI マルチチップ実装構造。

2. 特許請求の範囲第1項において、多層配線基板は有機多層配線板と SiC 板とを接着した複合基板であることを特徴とする LSI マルチチップ実装構造。

3. 特許請求の範囲第1項または第2項において、ハウジングは SiC であることを特徴とする LSI マルチチップ実装構造。

4. 特許請求の範囲第1項、第2項または第3項

において、入出力ピンはハウジング外部の多層配線基板の半導体チップ側から取出したことを特徴とする LSI マルチチップ実装構造。

発明の詳細な説明

〔発明の利用分野〕

本発明は超大型コンピュータ本体の主要部を形成する論理、記憶装置の高出力 LSI マルチチップ実装構造に関する。

〔発明の背景〕

近年、電子計算機は大容量化、高速化、小型化が要請され、その主要部を構成する LSI は微細加工技術の改良により一層高密度化が図られている。このため必然的にチップ当たりの消費電力換算すれば、単位面積当たりの発熱量が急速に増している。そこで LSI のマルチチップ実装に際しては水冷方式が必須条件になりつつある。

第1図は A-L-O₂ 多層板 1 に Si チップ 2 を CCB (Controlled Collapse Bonding) 法で多数個接続したマルチチップモジュール構造を示している。Si チップ 2 の裏面と冷却水通路 6

をもつハウジング 3 とをはんだ 4 で接着し、水冷する方式である (U. S. Patent 4081825, 3. 28, 1978)。封止方式は金属ガスケットによる機械的な圧着である。このマルチチップモジュールの入出力ピン 8 は多層プリント板 (図示せず) に接続するため下側に取出す構造になつてゐる。しかし、この構造、基板材料ではより大容量、高速化を目的とした場合のコンピュータの実装構造としては次のような問題がある。

即ち、第 1 の問題点は、入出力ピン 8 を Al_2O_3 多層板 1 の裏面の主要部分から引き出して、多層プリント基板のスルーホールにピン付、もしくはコネクタ接続される構造になつてゐる。このため、この構造のマルチチップモジュールを多段に重ねて組合せる構造とした場合、ピンが邪魔になり、実装できないという欠点がある第 2 の問題点は、最も基本的であるが、 Al_2O_3 多層板 (W ベースト、もしくは Mo ベースト導体使用) は誘電率が高く ($\epsilon = 9.3$)、高速計算に不利であることである。従つて、大容量で小型構造の高速電算機用

の LSI 実装構造としては不十分である。

【発明の目的】

本発明の目的は、上述の問題点を解決した LSI マルチチップ実装構造を提供することにある。

【発明の概要】

本発明の特徴は、入出力ピンを多層板の周辺部の LSI チップを載置する側に設ける点にある。これにより、各段のマルチチップモジュールを重ね合わせることが可能になり、小型で立方体実装構造とすることができる。そして好ましい実施例では多層板を、低誘電率の有機多層基板（例えば、ポリイミド、イソメラミン系樹脂等）と Cu 導体の組合せとすることにより誘電率 (ϵ) を 3.5 まで下げることが可能となるため、高速計算が期待できる。

この有機多層配線基板に 10 mm^2 の高出力チップをフエースダウン法で実装する上の問題点は、①有機多層板の熱伝導率が著しく低いこと (Al_2O_3 多層板に比べ $1/50$) である。このため、全面はんだパンプからの熱伝導により、発

热量の $10 \sim 20\%$ の熱が有機多層配線基板側から放散される。この結果、有機多層配線基板の温度上昇をもたらすため、基板の反りなどによりもたらされるはんだパンプにかかる応力のため寿命低下の新たな問題がでてくる。また、冷却効果を上げるためにも基板側の冷却も必要である。

② 有機多層基板は複合化 ($\alpha = 0.7 \times 10^{-6}/\text{C}$ のアラミドクロスファイバ入り) しても、Cu 導体 ($\alpha = 17.5 \times 10^{-6}/\text{C}$) を用いるため、基板の熱膨張係数が下がらず、 10 mm^2 チップのはんだパンプ寿命がコンピュータに要求されている寿命を満たすことはできないこと。

③ 有機多層配線基板は吸湿性があるため、この基板だけでハウジング内部と外部を接することはできない。

有機多層板を使用することにより生ずる上記①、②、③の問題点を解決するためには、以下(1)、(2)、(3)を施せばよい。

(1) 有機多層配線板よりも十分厚く、伸び剛性が大で、かつ熱伝導性に優れた SiC (特願 55-

75601, 热伝導率 0.71 Cal/cm.s.C , 热膨張係数 $3.9 \times 10^{-6}/\text{C}$) 板を有機多層配線板の裏面に張り合わせた複合配線基板とする。(2) 入出力端子は有機多層配線板の対向する 2 つの周囲の表面層に出す。(3) 冷却チップの素子側（全面パンプー有機配線板-SiC 板）の SiC 板裏面と、SiC チップの裏面側に低融点はんだで接着力した SiC 板、との両側で水冷する構造とする。

これにより有機多層配線板を用いても基板の反り及び大型チップのはんだパンプの信頼性低下等の問題を克服し、有機多層配線基板の特徴を生かした大容量で高速計算を可能にする高出力 LSI マルチチップモジュール実装を提供である。

【発明の実施例】

第 1 図は、 $\epsilon = 3.5$ の有機多層配線板 9 (例えばイソメラミン樹脂とアラミドクロスファイバ混入) に SiC 板 11 を張り合わせた複合基板上に、 10 mm^2 SiC チップ 2 を搭載した断面図である。有機多層配線板は 20 層で、スルーホール 12 に接続された Cu リード 13 で連結されている。

Siチップ2上のはんだパンプ7の接続端子チップは $250\mu m$ で、はんだパンプ16の径は $130\mu m$ 、有機多層配線板上のペデスタル14の径は $140\mu m$ である。この複合基板は約 120mm^2 で、チップ温度が $80^\circ C$ に達しても反りは無視できる程度に小さい。複合基板は $5 \sim 6 \times 10^{-6}/C$ で、SiC板1.1の熱膨張係数は $3.9 \times 10^{-6}/C$ と両者は接近している。SiC板1.1の厚さは 3mm で十分である。複合基板の反りの程度は、基板の熱膨張係数、寸法、両板の厚さの比、温度差などで変る。また、SiC板と有機多層配線板とを接着した樹脂10は塑性変形に優れているため、最も応力のかかる基板周辺部においてもSiC板を破壊させることはない。以下接続を中心とするプロセスについて示す。複合基板上のCuペデスタル4($12\mu m$ 厚)上に、Siチップの端子を位置決めして、 $240^\circ C$ でポンディングした。はんだ組成はPb-60%Snである。ペデスタル部以外ははんだ流出防止用のレジスト15が形成されている。このはんだバン

プ7の接続と同時に複合基板とハウジング側壁部の片面をPb-60%Snで接合する。なお、ペデスタル端子はスルーホールを避けて、隣接部に設けた。

第2図は水冷ヒートシンク20へのSiチップ2の裏面の接着部19、封止部22の接着部の断面図である。冷却水路は対向する2辺の1つの側に設けてある。対向する2辺の他の1つの周囲には封止部の外側において入出力端子27のピン接合部を設けてある。第3図は第2図と異なる側のハウジング側壁部の入出力端子のある側の断面を示す。ピンをSiチップを載置した側に設けた理由はモジュールの両面を冷却し、多段構造にして小型化するために障害とならないためである。プリント板上のSiC板26端部にSiC板24を使用するのは熱放散性を目的とするだけではなく、多層板が直接外気に接しない防湿構造とすることを目的としている。従つて、SiC板24(Cr-Cuメタライズ)の接続は、はんだパンプ接続、ハウジング側壁部の多層配線板への接続と同時に

Pb-60%Snで取付けられる。

入出力ピン27は、あらかじめSiC板26にスルーホール導体32、ランド部28を設け、Sn-18%Bi-45%Pbはんだを用いSiC板26にはんだ付される。ハウジング内部のチップの端子はスルーホール導体41及び内部の配線40を通して接続され、外部の入出力端子27に接続される。入出力ピンはコネクターを介して、上下各段のモジュールに接続される。このようにハウジング側壁部の空間を利用してピンを上向きに取出すことより、小型で多段のマルチチップモジュール構造を可能とした。第4図はモジュールを平面的に切断した断面である。入出力ピンは上下に、冷却水路は左右に取付けた構造である。

Siチップ近くのはんだ接続は、まず、Pd-60%Snのはんだパンプを接続後、あらかじめSiチップ裏面にCr-Cu-Au18をメタライズされた層の上に、約 $500\mu m$ 厚さの低融点はんだSn-18%Bi-45%Pb(特開昭58-011293、固相温度 $136^\circ C$ 、液相温度

$168^\circ C$)を載せて溶融させて接続した。また、同時にハウジング側壁部の最終封止部にも、メタライズしたSiC板22側壁材に約 $200\mu m$ 厚さのはんだ浴を載せて接合した。低温はんだの接合条件はmax $178^\circ C$ である。接合時の雰囲気はH₂、He、N₂、Ar等のいずれでも可能である。

第5図はマルチチップモジュールの2段重ね構造を示す。(a)は冷却水路を境に対称的に重ねる方式、(b)は同一方向に重ねる方式等を示したモデル図である。(a)構造では温度上昇が著しい水路と温度上昇の少ない水路が交互にくるので、流量を調節する必要がある。(b)構造では各段とも同一温度上昇になる。

(a)、(b)構造にはそれぞれ一長一短がある。SiCのヒートシンク20とヒートシンク20の中間に設けられている冷却水路には、流れに対して平行に、しかも何列にも配置されているチップ列に沿つてSiCフィン31が細かく、かつ長く設けられていて、流れやすく、熱放散性を良くしてある。

29は冷却水入口、38は冷却水出口で、30は冷却水の取付部である。第5図(c)は第5図(a), (b)において、A-B断面で切断した場合の1段目と2段目のマルチチップモジュールの冷却水路断面を示す。水路はSiCの板11, 20で狭まれている。

第6図はチップの温度上昇が高い場合に、冷却層を多段にした実施例である。第6図(a)は第5図(a)と同じく対称構造を示し、温度上昇の著しいチップ裏面において、冷却効果を上げるために3層の冷却層を設け、はんだパンプ側の冷却においては1層の冷却層を設けた断面のモデルを示す。3層の中間層は両側の層と逆の流れにすることにより各チップの温度上昇を均一化することができる。第6図(b)は同一方向チップ配置構造を示す。この構造では各段共、水路方向を逆にした2層の冷却層を設けた。

前述の第1～6図は、多層配線板とハウジング天井材をSiチップを介して、はんだで接着する構造を示したが、熱伝導性の優れた有機接着剤の

使用も可能である。

この接着構造は、ハウジング上下の基板同士の熱膨張係数がほぼ等しいことから、若干の熱膨張係数の差により生じた接続部、封止部の応力、歪を融点に階層を設けた伸び、絞りに優れた低融点はんだで緩和することを基本にしたものである。しかし大型基板になると、寸法効果のため、歪量が大きくなり問題になつてくることが予想される。この場合は、例えば第7図に示すようにペローズ37構造(空気だめ35付水銀34入り)にすれば、上下だけでなく、水平方向の変位に対しても解放できる。また、ペローズの中にフイン31を設けた水冷構造にすれば、大型基板に対しても冷却効果を損なわず、本方式の構造は有効である。

なお、封止部、チップ接合に融点の異なるはんだを用いたのは、故障チップを修理するときに融点の高いはんだを溶かさないで、外し、再取付けするリペア性を考慮しているためである。また、応力、歪緩和に対しても、低融点はんだの使用の効果は大きい。

なお、複合多層配線基板に使用しているSiC板、ハウジング天井に使用しているSiC板等の代りに熱伝導性に優れ、かつ熱膨張係数をSi並みに合わせることができる銅・カーボン複合材を用いることも可能である。

多段モジュールの冷却構造として、各モジュールごとに独立して両側に冷却層を設けてから、直ちに多段化する方式は、取外し再取付けに優れている長所があるので当然考えられる実装構造である。

〔発明の効果〕

本発明により、計算速度の大幅な向上が期待できる有機多層板上への、10㎟の大型高出力チップ(20～40W)の高密度実装を可能にしたことにより、従来にない小型構造で大容量・高速の超大型計算機が可能になる。

図面の簡単な説明

第1図は本発明に用いる多層配線基板の断面図、第2図は本発明を適用したモジュールのハウジング部の断面図、第3図は本発明モジュールの封止

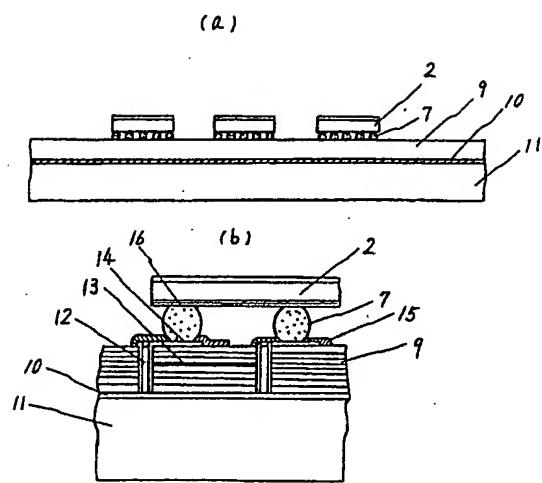
部及び出入力端子部の拡大図、第4図は本発明モジュールの平面図、第5図はマルチチップモジュールを2段に重ねた本発明の他の実施例を示す断面図、第6図は冷却層を2～3層にした場合の実施例を示す断面図、第7図はペローズを用いた冷却構造のチップ周辺の断面図、第8図は従来のマルチチップモジュールの断面図である。

2…Siチップ、9…有機多層配線板、11…SiC板。

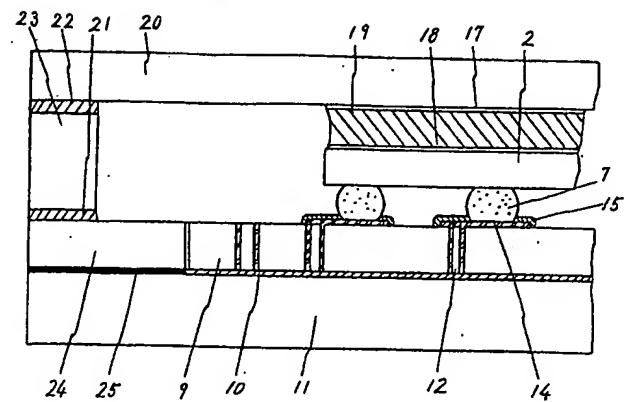
代理人弁理士 高橋明夫



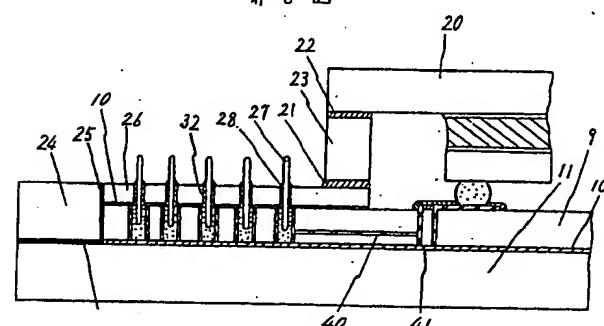
第1図



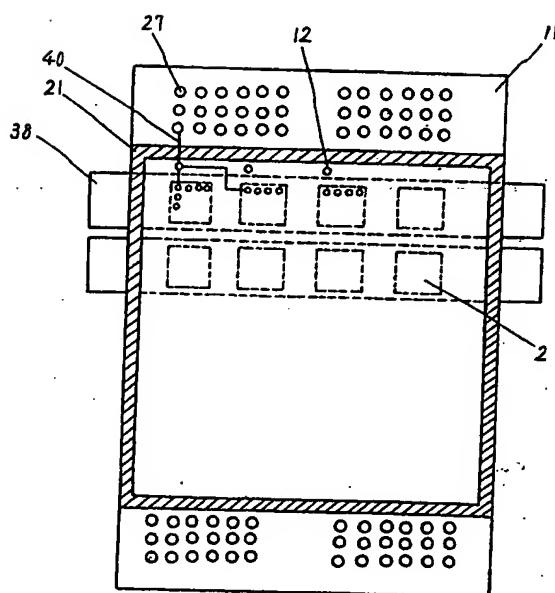
第2図



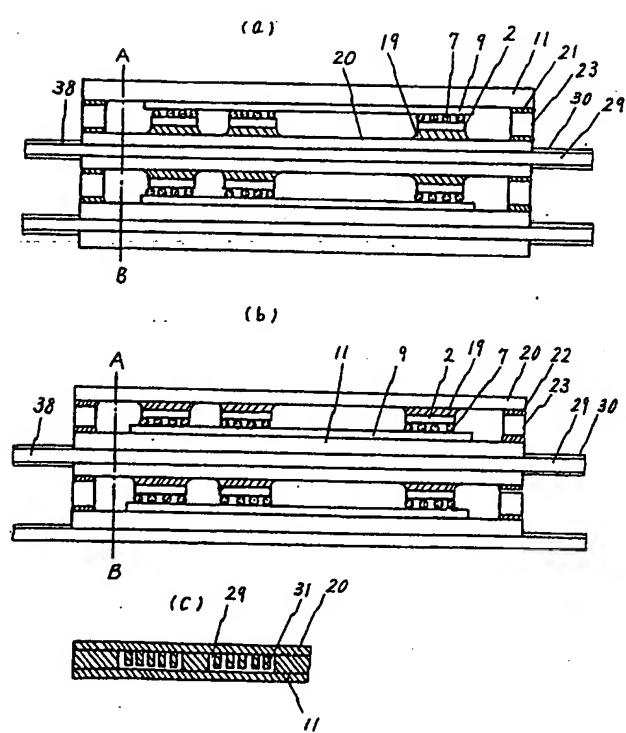
第3図



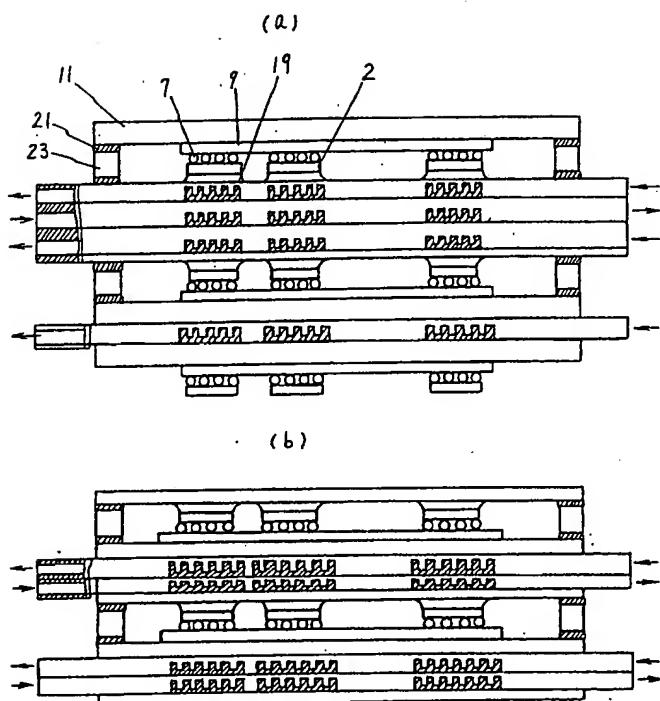
第4図



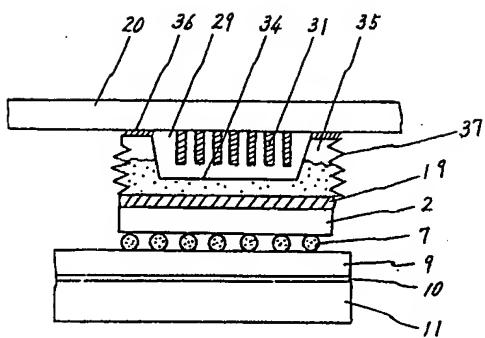
第5図



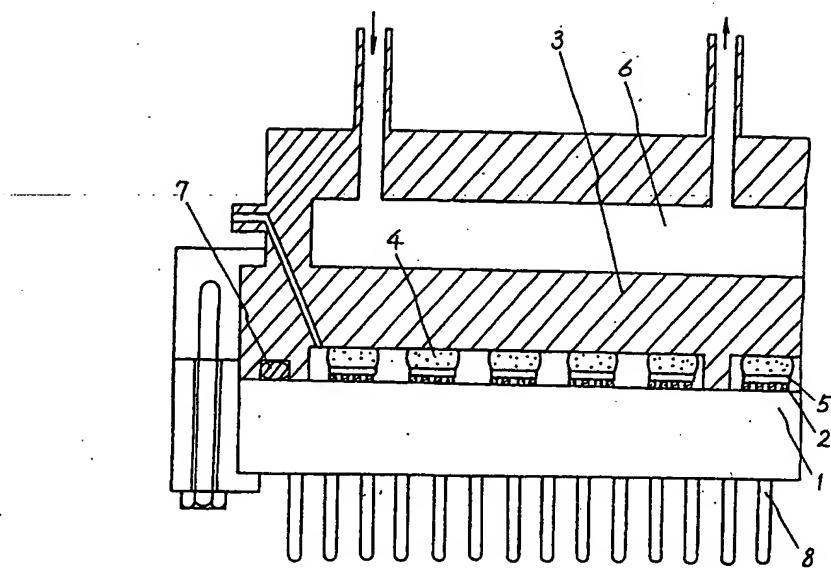
第 6 図



第 7 図



第 8 図



特開昭61- 47659 (フ)

第1頁の続き

②發明者 岡村 昌弘 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内